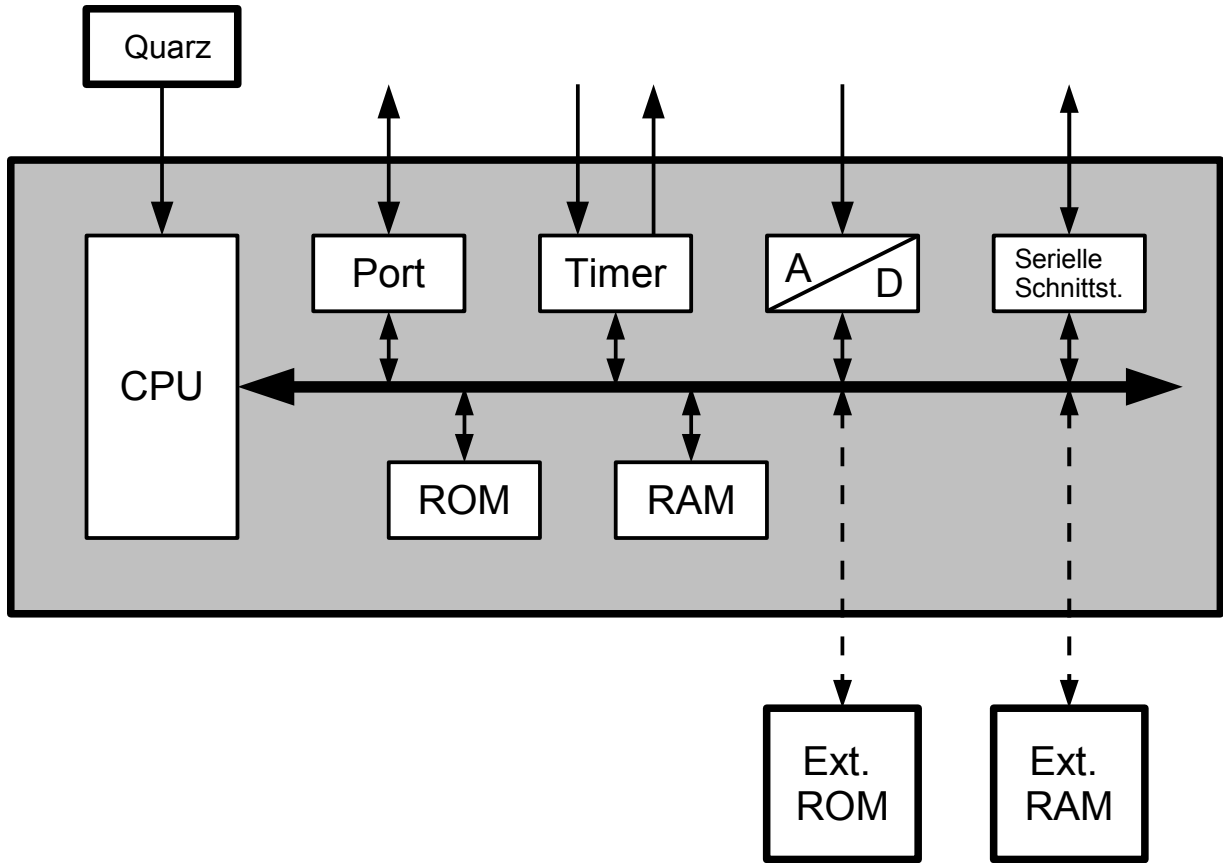
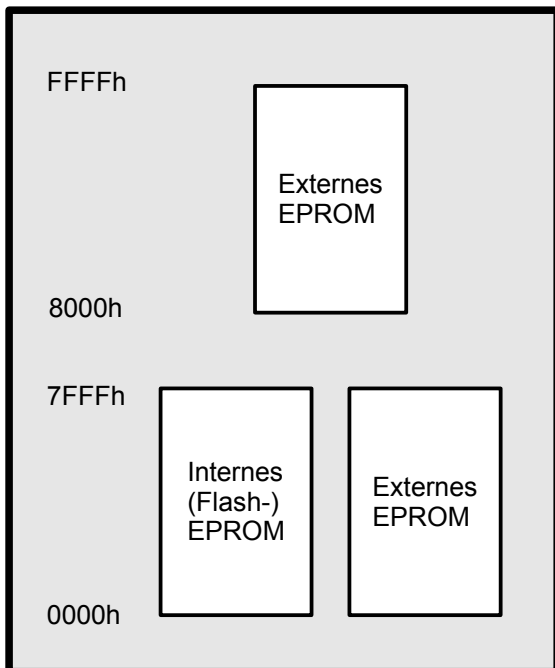


Hardwareaufbau der Mikrocontroller der 51er -Familie

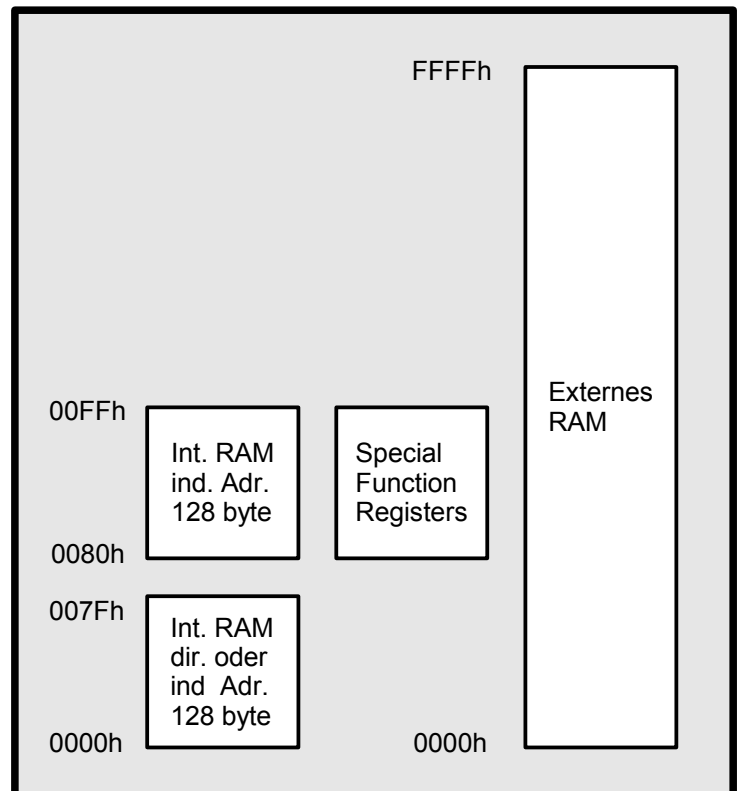
Mikrocontroller (51er Familie)



Programmspeicher (ROM)

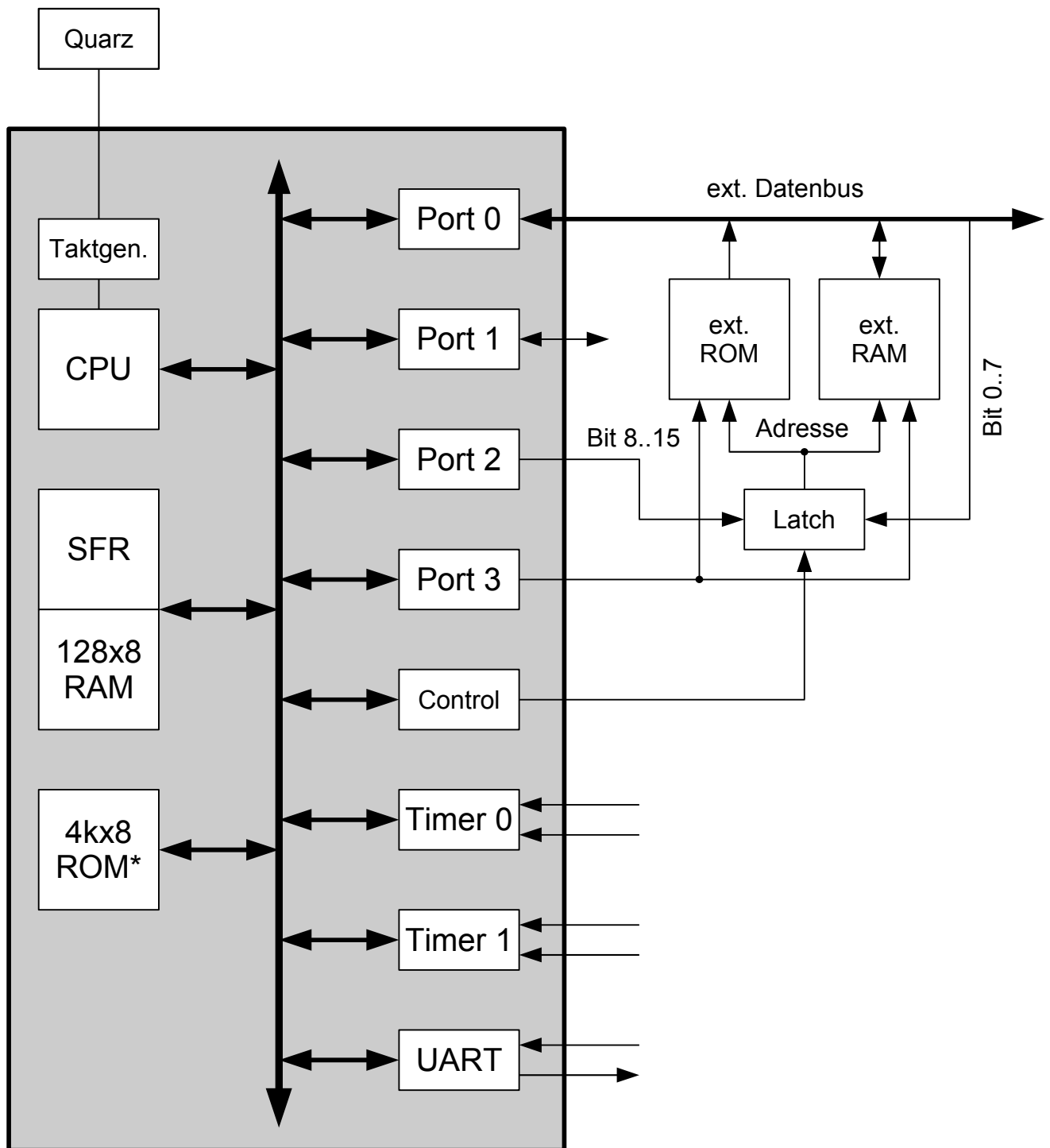


Datenspeicher (RAM)



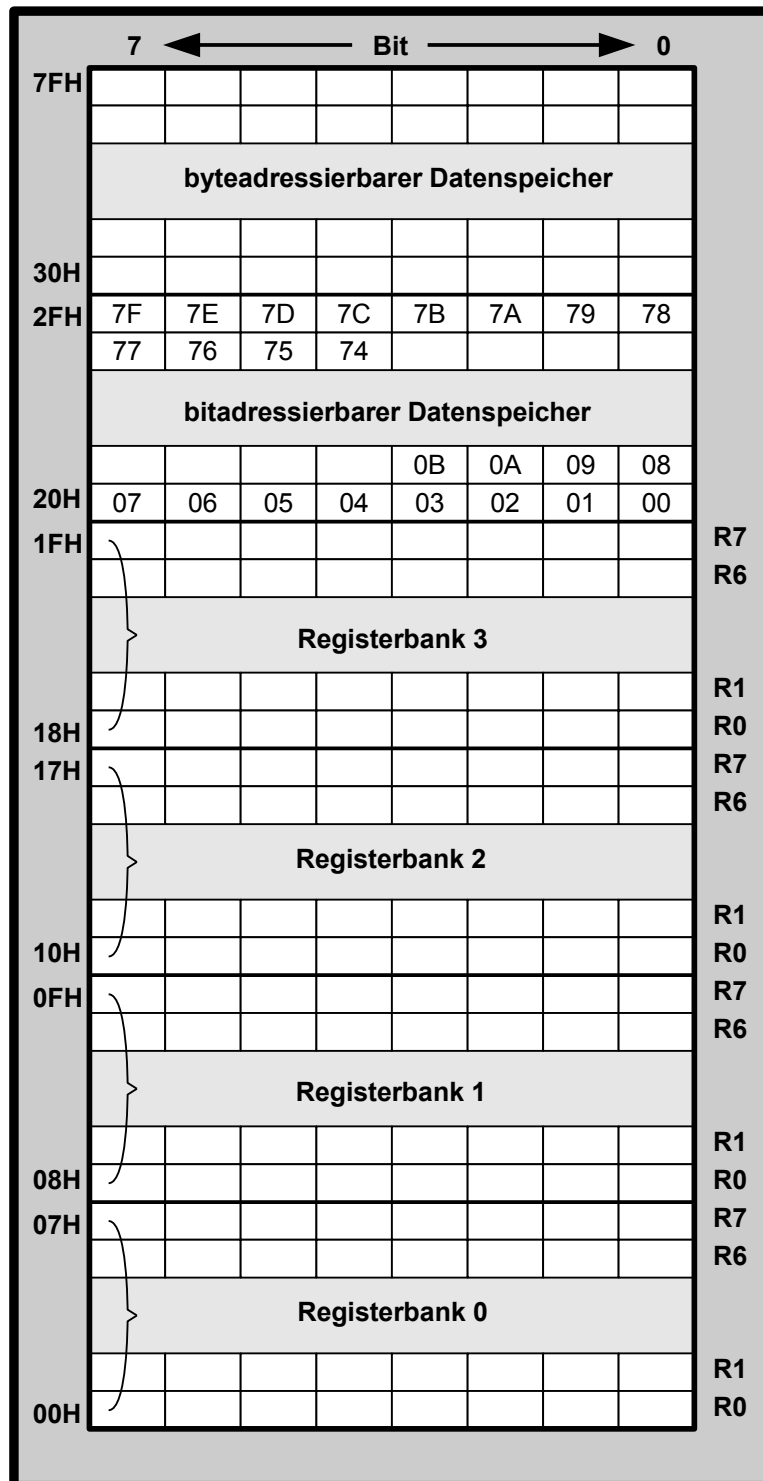
Mikrocontroller 8031/51

Blockschaltbild:



* nur 8051

Direkt adressierbarer interner Datenspeicher bei der 51er-Mikrocontroller-Familie



Special Function Register (SFR)

Standard 8051

		7 ← Bit → 0									
7FH											
F0H											B*
E0H											ACC*
D0H		CY	AC	FO	RS1	RS0	OV	-	P		PSW*
B8H		-	-	-	PS	PT1	PX1	PT0	PX0		IP*
B0H		RD	WR	T1	T0	INT1	INT0	TxD	RxD		P3*
A8H		EA	-	-	ES	ET1	EX1	ET0	EX0		IE*
A0H											P2*
99H											SBUF
98H		SM0	SM1	SM2	REN	TB8	RB8	TI	RI		SCON*
90H											P1*
8DH											TH1
8CH											TH0
8BH											TL1
8AH											TL0
89H											TMOD
88H		TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0		TCON*
87H											PCON
83H											DPH
82H											DPL
81H											SP
80H											P0*

* SFR sind bit- und byte-adressierbar

Digitale Ein- und Ausgabe I/O-Ports

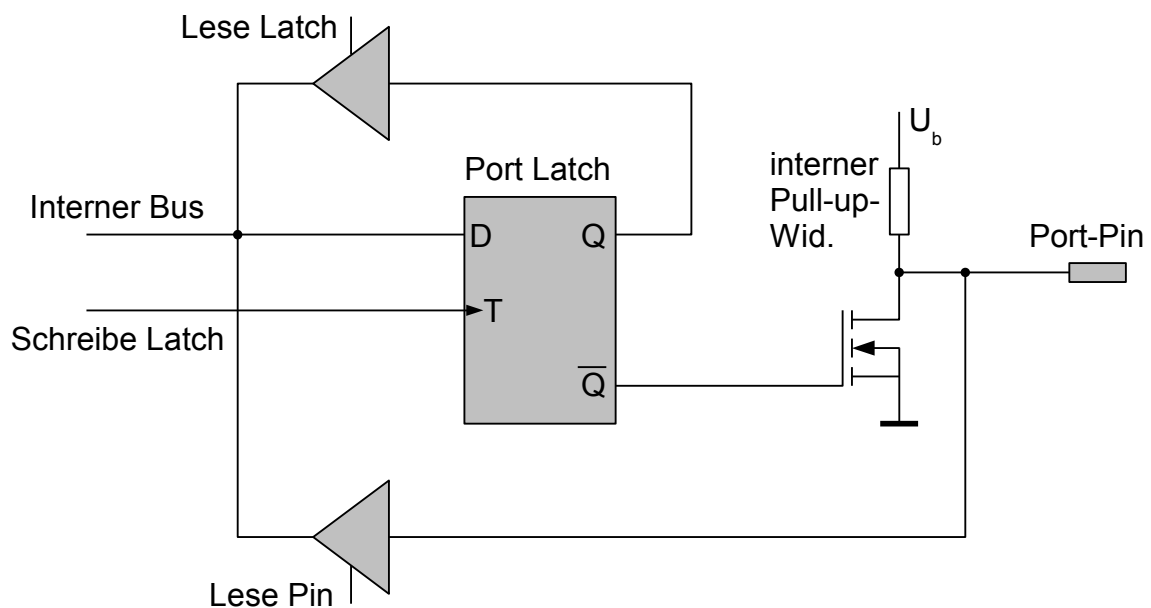
Standard-Ports:

Port	SFR	zus. Funktion
P0	80H	ext. Datenbus und Adressbus 0..7
P1	90H	keine
P2	A0H	ext. Adressbus 8..15
P3	B0H	ext. Mem RD / WR Timer ext. IRQs ser. I / O

Bitadressierung der Ports:

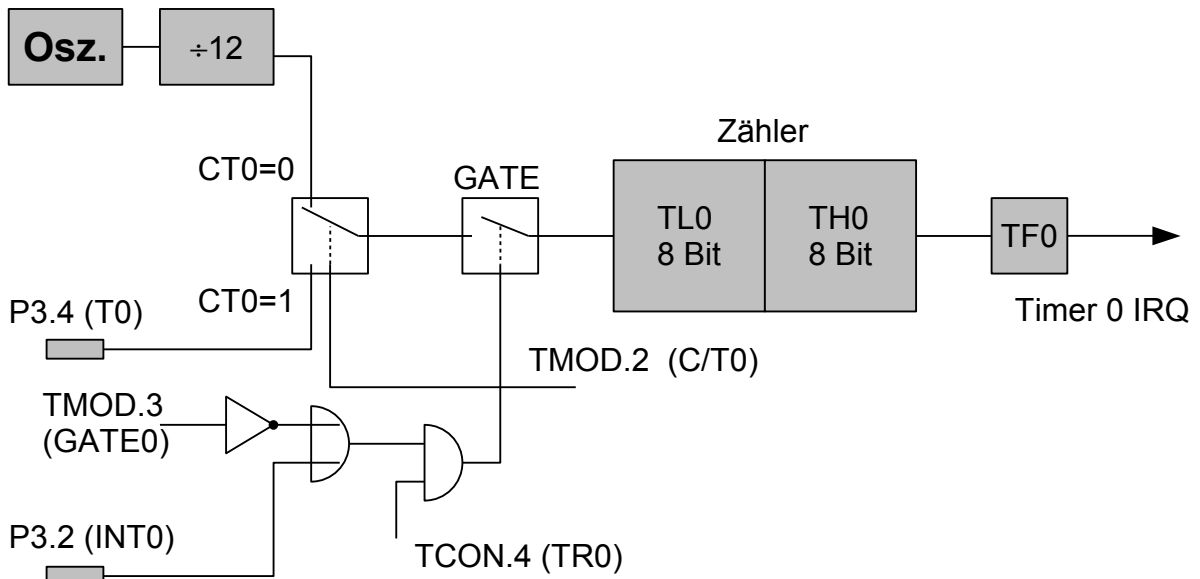
Adresse:	97H	96H	95H	94H	93H	92H	91H	90H	
Symbol:	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	Port 1: 90H

schematischer Aufbau eines Ports (P1..3):

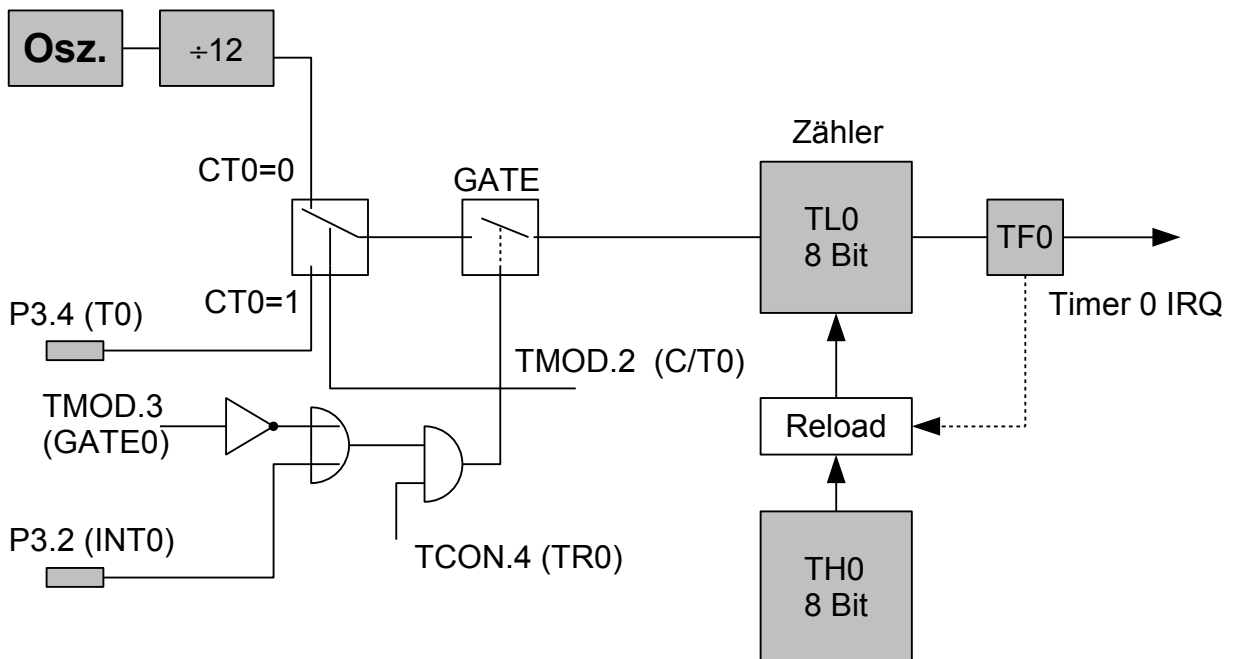


Timer / Counter Funktionen

Mode 1: 16-Bit Timer/Counter 0



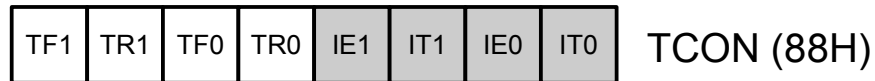
Mode 2: 8-Bit Timer/Counter 0 mit Auto-Reload



Timer / Counter Funktionen

Special Function Register TCON:

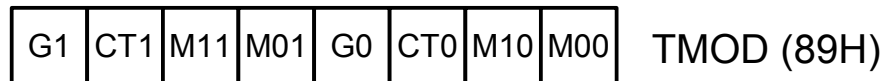
8FH 8EH 8DH 8CH



TR0/1 : = 1 → Timer starten
= 0 → Timer stoppen

TF0/1 : Überlauf-Flag → Interrupt auslösen

Special Function Register TMOD:



G0/1 : = 0 → Start/Stop mit TR0/1
= 1 → Start/Stop mit P3.2/3

CT0/1 : = 0 → interner Zähltakt ($f_{osc}/12$)
= 1 → externer Zähltakt (P3.4/5)

Mx0/1 : Betriebsarten (Mode 0,1,2,3)

Mode 0 : 13-Bit Timer/Counter

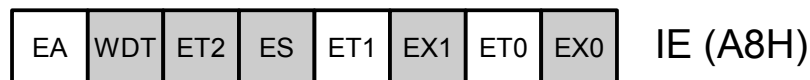
Mode 1 : 16-Bit Timer/Counter

Mode 2 : 8-Bit Timer/Counter mit Auto-Reload

Mode 3 : 2 x 8-Bit Timer/Counter

Special Function Register IE (Interrupt Enable):

AFH AEH ADH ACH ABH AAH A9H A8H



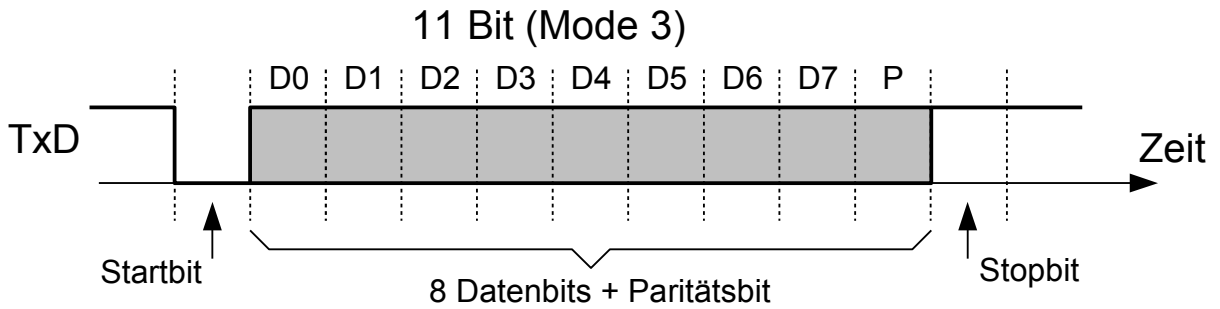
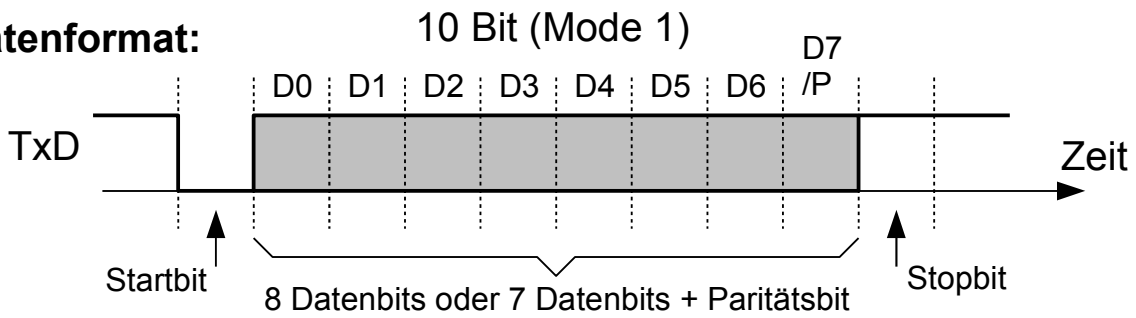
EA : = 0 → alle Interrupts gesperrt
= 1 → alle Interrupts freigegeben

ET0 : = 0 → Interrupt von Timer 0 gesperrt
= 1 → Interrupt von Timer 0 freigegeben

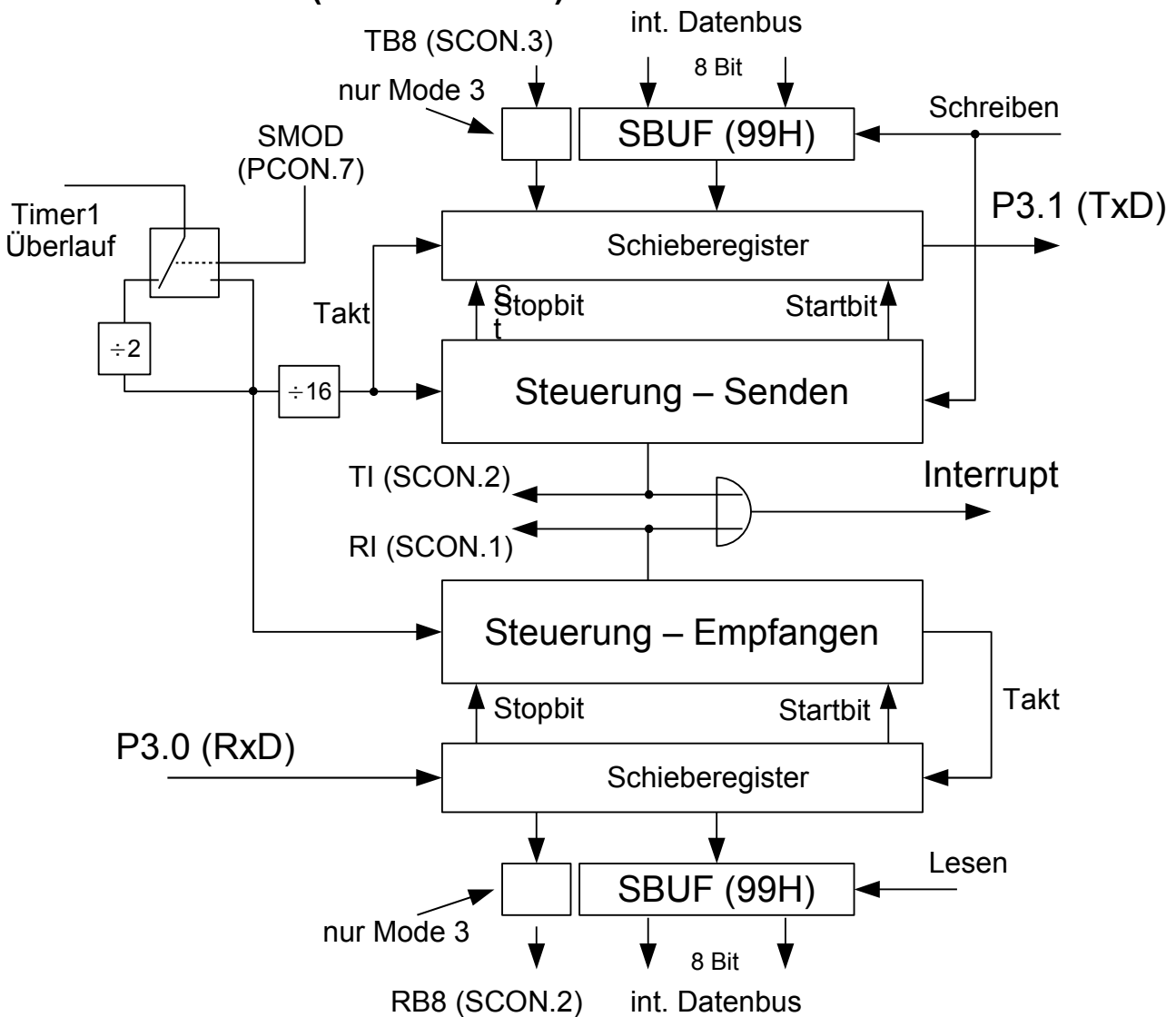
ET1 : = 0 → Interrupt von Timer 1 gesperrt
= 1 → Interrupt von Timer 1 freigegeben

Serielle Schnittstelle

Datenformat:

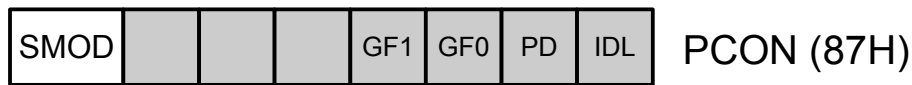


Blockschaltbild (Mode 1 und 3):



Serielle Schnittstelle

Special Function Register PCON:



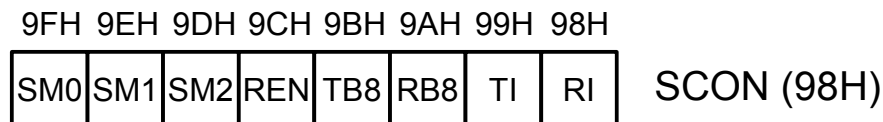
Baudrate (Mode 3):

Berechnung für Timer 1 im Mode 3 (8-Bit mit Auto-reload)

$$br = \frac{2^{SMOD} \cdot f_{osc}}{32 \cdot 12 \cdot (256 - TH1)} \quad TH1 = 256 - \frac{2^{SMOD} \cdot f_{osc}}{32 \cdot 12 \cdot br}$$

Beispiele: $f_{osc} = 24 \text{ MHz}$, $SMOD = 1$ $br = 2400 \text{ baud} \Rightarrow TH1 = 204$ $br = 4800 \text{ baud} \Rightarrow TH1 = 230$ $br = 9600 \text{ baud} \Rightarrow TH1 = 243$	$f_{osc} = 22,1184 \text{ MHz}$, $SMOD = 1$ $br = 2400 \text{ baud} \Rightarrow TH1 = 208$ $br = 4800 \text{ baud} \Rightarrow TH1 = 232$ $br = 9600 \text{ baud} \Rightarrow TH1 = 244$ $br = 19200 \text{ baud} \Rightarrow TH1 = 250$ $br = 38400 \text{ baud} \Rightarrow TH1 = 253$
--	--

Special Function Register SCON:



SM0,SM1 : 0,0 = Mode 0 → synchron, 8 Bit, feste Baudrate
 0,1 = Mode 1 → asynchron, 10 Bit, var. Baudrate
 1,0 = Mode 2 → synchron, 11 Bit, feste Baudrate
 1,1 = Mode 3 → asynchron, 11 Bit, var. Baudrate

SM2 : Multiprozessor-Kommunikation

REN : 0 = Empfänger gesperrt
 1 = Empfänger freigegeben

TB8 : 9. Sendebit (Parität) im Mode 2 und 3

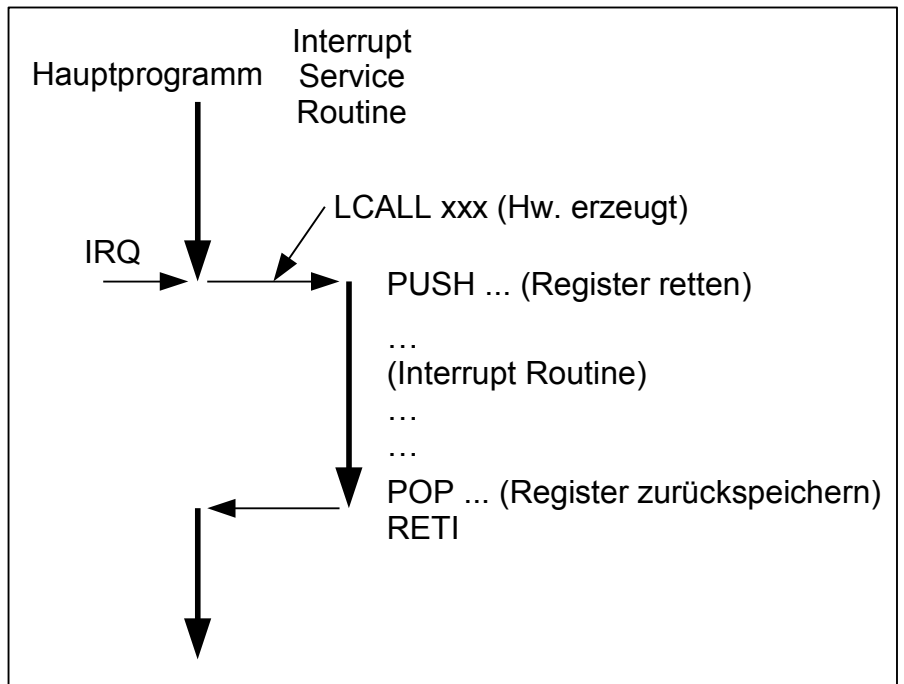
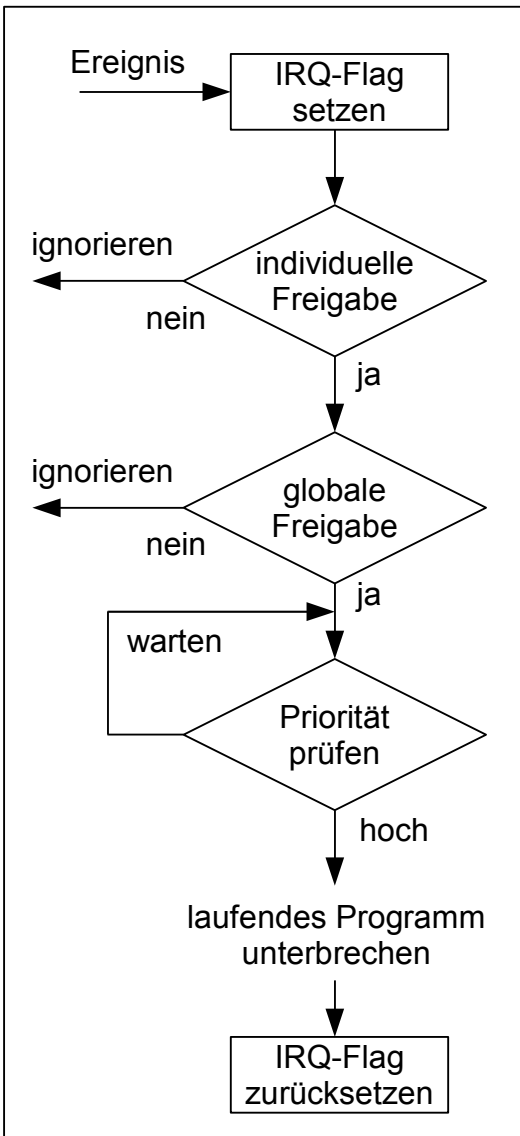
RB8 : 9. Empfangsbit (Parität) im Mode 2 und 3

TI : = 1 → ein Byte wurde gesendet
 = 0 → startet das Senden des Bytes in SBUF

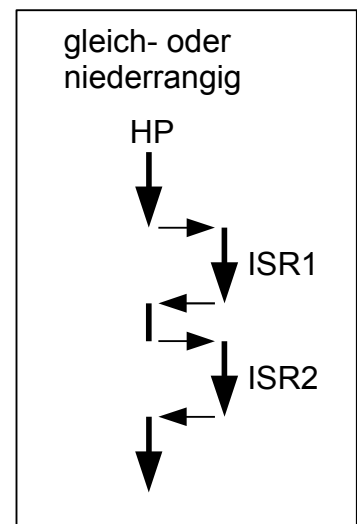
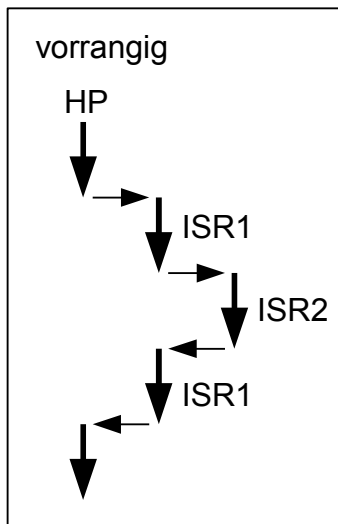
RI : ein Byte wurde empfangen

Interrupt-System

Funktionsweise:



Prioritäten:



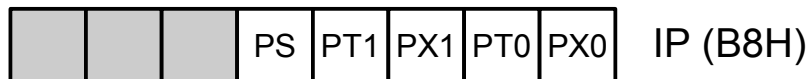
Interrupt-System

Übersicht:

Ereignis	IRQ-Flag	Freigabe-Flag	Interrupt	Vektoradresse
Ext. Signal an P3.2	IE0	EX0	Externer IRQ 0	0003H
Ext. Signal an P3.3	IE1	EX1	Externer IRQ 1	0013H
Timer 0 Überlauf	TF0	ET0	Timer 0 IRQ	000BH
Timer 1 Überlauf	TF1	ET1	Timer 1 IRQ	001BH
Serielle Schnittstelle	RI oder TI	ES	Serial Port IRQ	0023H

Special Function Register IP (Interrupt Priority):

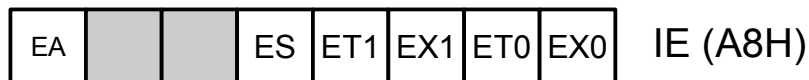
BFH BEH BDH BCH BBH BAH BBH B8H



xxx : = 0 → niedrige Priorität (Voreinstellung)
 = 1 → hohe Priorität

Special Function Register IE (Interrupt Enable):

AFH AEH ADH ACH AAH AAH AAH A8H



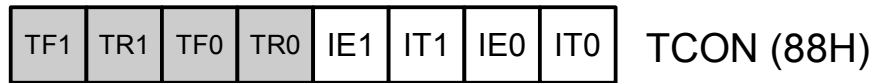
EA : = 0 → alle Interrupts gesperrt
 = 1 → alle Interrupts freigegeben

Exx : = 0 → Interrupt xx gesperrt
 = 1 → Interrupts xx freigegeben

Interrupt-System

SpecialFunction Register TCON:

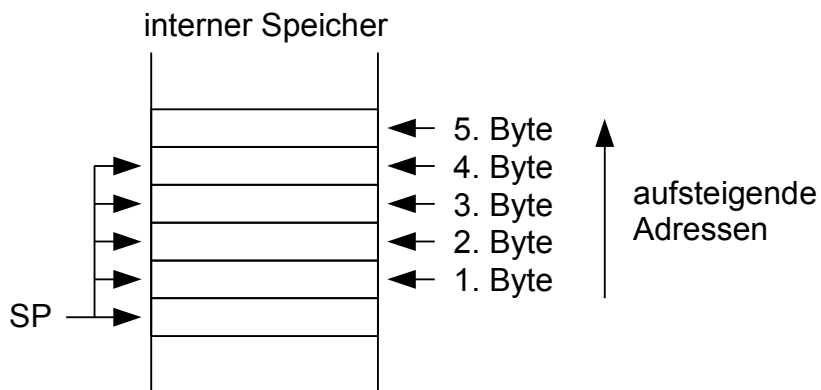
8FH 8EH 8DH 8CH



IE0/1 : = 1 → ext. Interrupt erkannt
 = 0 → ext. Interrupt beendet

IT0/1 : = 1 → flankengesteuerter ext. Interrupt
 = 0 → pegelgesteuerter ext. Interrupt

Organisation des Stacks



Ablauf beim Schreiben:

- SP := SP + 1
- (SP) := Byte

Ablauf beim Lesen:

- Byte := (SP)
- SP := SP - 1

Standardwert nach Reset:
 Anfangswert im Anwenderprogramm:

SP = 07H → 1. Byte nach Adresse 08H
 SP = höchste benutzte Adresse im int. RAM

CPU-Register

Program Status Word (PSW):

CY AC F0 RS1 RS0 OV F1 P

- CY:** Carry Flag
Übertrag von Bit 7 bei arithm. Operationen
auch Akkumulator für Bit-Operationen
- AC:** Auxiliary Carry
Übertrag von Bit 3 bei arithm. Operationen
- F0,F1:** User Definable Flags
für den Benutzer frei verfügbare Flags
- OV:** Overflow Flag
wird bei arithm. Operationen gesetzt wenn,
1. Übertrag von Bit 6, kein Übertrag von Bit 7
2. kein Übertrag von Bit 6, Übertrag von Bit 7
- P:** Parity Flag
wird gesetzt, wenn der Akkumulator eine ungerade Zahl
von Einsen enthält, andernfalls gelöscht
- RS1,RS0:** 0,0 → Auswahl der Registerbank 0
0,1 → Auswahl der Registerbank 1
1,0 → Auswahl der Registerbank 2
1,1 → Auswahl der Registerbank 3

Akkumulator: Zentrales Arbeitsregister, enthält bei allen arithmetischen
und logischen Operationen das Ergebnis

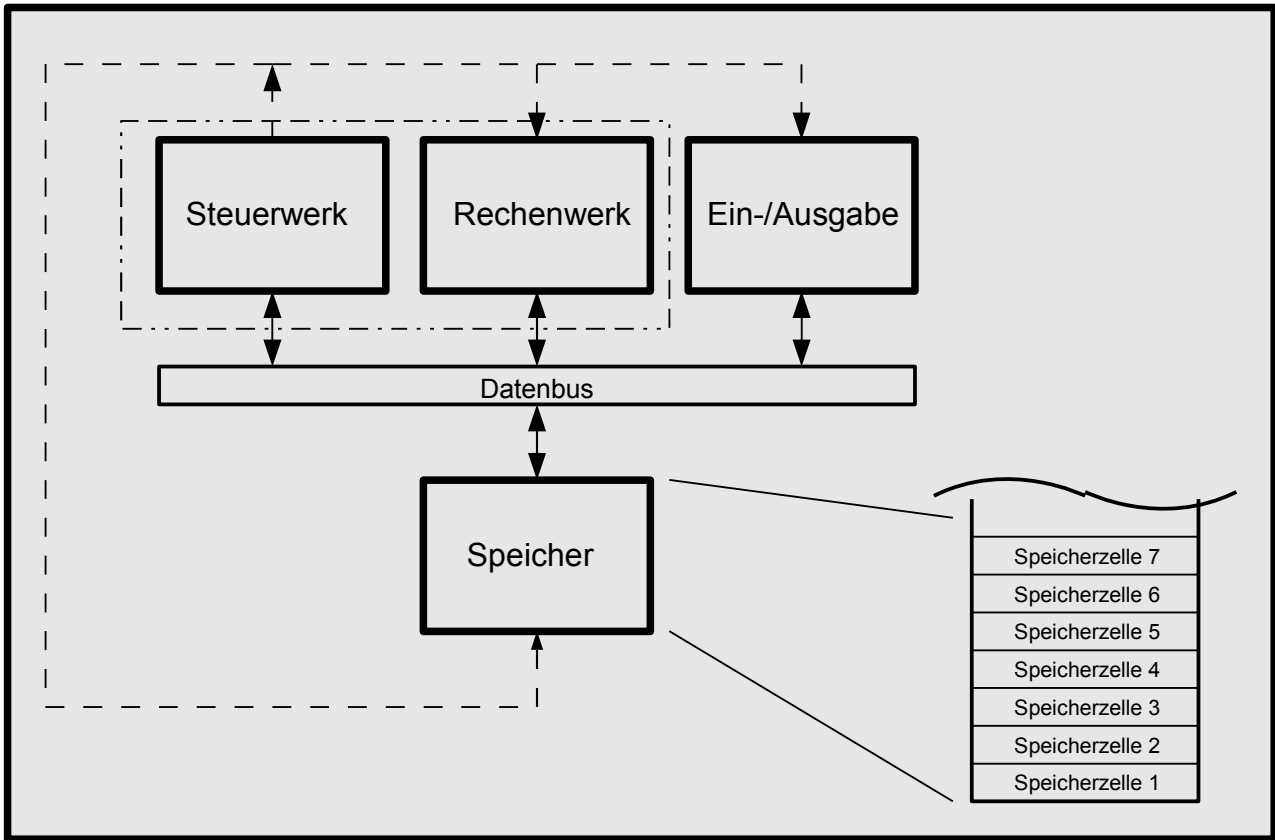
B-Register: Hilfsregister bei Multiplikationen und Divisionen
sonst frei verwendbar als Zwischenspeicher

Stack-Pointer: Zeiger auf die aktuelle Stapelposition im internen Speicher
bei den Operationen PUSH,POP und CALL

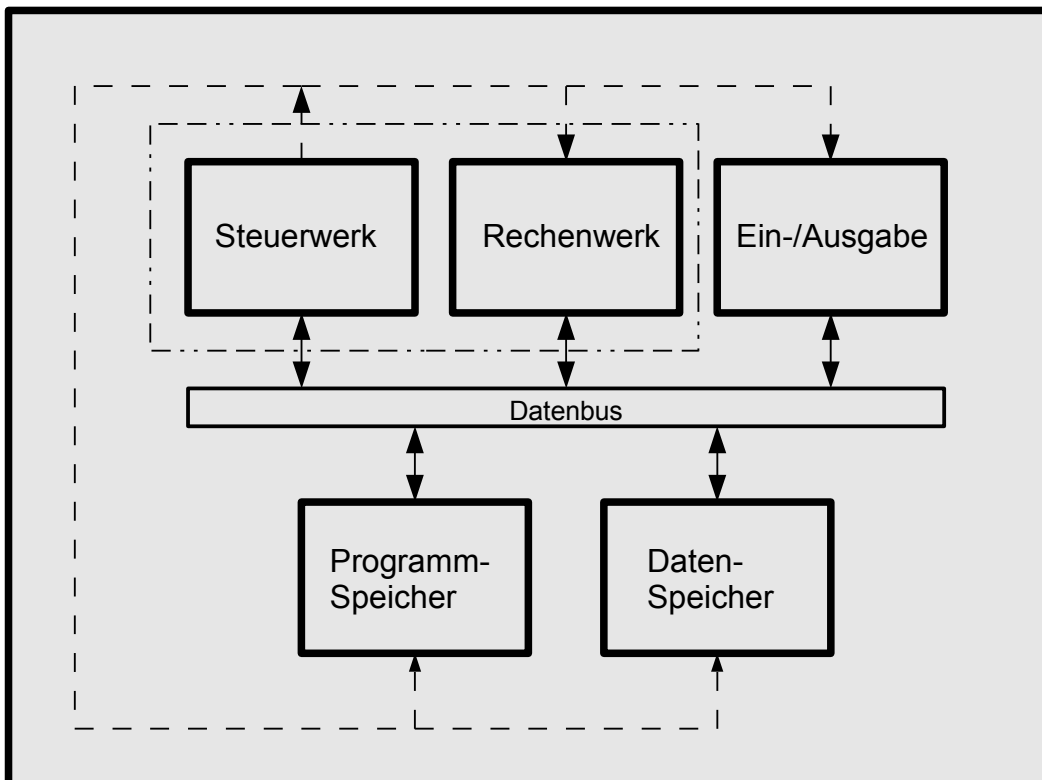
Daten-Pointer: 16-Bit Adresszeiger zum Lesen und Schreiben von Daten in den
externen Speicher und zum Lesen aus dem Programmspeicher
DPH = hi (DPTR) - DPL = lo (DPTR)

Anhang A: Rechnerarchitekturen

Von-Neumann-Architektur



Harvard-Architektur



Anhang B: Historische Entwicklung

historische Entwicklung der Computer

Jahr	Gerät	Technik
1938	Zuse Z1	mechanisch
1941	Zuse Z3	Relais
1946	ENIAC	Röhren
1958	IBM 7090	Transistoren
1971	z.B. DG NOVA-Serie	TTL-IC
1971	Intel 4004 Mikroprozessor	NMOS-IC
1974	Mikroprozessoren: Intel 8080 Motorola 6800 MOS-Technology 6502	NMOS-IC
1978	Mikroprozessoren: Intel 8086 → PC Intel 8048 → Mikrocontroller	HMOS-IC NMOS-IC
1979	Intel 8051 Mikrocontroller	HMOS-IC